

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-141477

(43)Date of publication of application : 17.05.2002

(51)Int.Cl.

H01L 27/10
H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792

(21)Application number : 2000-333719

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 31.10.2000

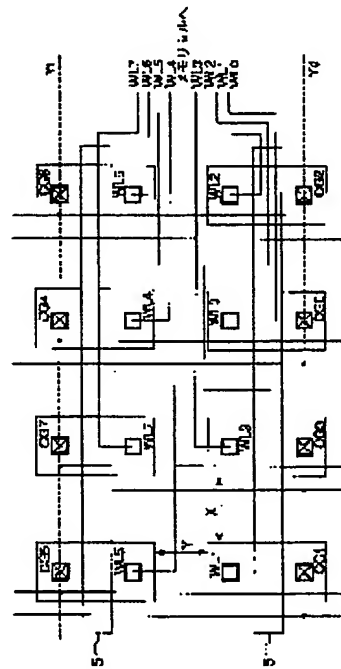
(72)Inventor : HOSONO KOJI
NAKAMURA HIROSHI
IMAMIYA KENICHI
TANAKA TOMOHARU

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory capable of eliminating the need of uselessly prolonging a distance between transfer transistors and reducing the pattern occupancy area of a row decoder by appropriately arranging the transfer transistors.

SOLUTION: By turning the addresses of the word lines of upper, lower, left and right transfer transistors 3 provided in the row decoder to non-successive allocations, the two transfer transistors 3 corresponding to adjacent two word lines WLs are not arranged adjacently in a vertical direction and a horizontal direction. Since a potential difference applied between the adjacent transfer transistors can be reduced, an element separation area is reduced. Thus, the need of uselessly prolonging the distance between the transfer transistors is eliminated and the pattern occupancy area of the row decoder is reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]

of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-141477

(P2002-141477A)

(43) 公開日 平成14年5月17日 (2002.5.17)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード*(参考)	
H 0 1 L 27/10	4 8 1	H 0 1 L 27/10	4 8 1	5 F 0 0 1
21/8247			4 3 4	5 F 0 8 3
27/115		29/78	3 7 1	5 F 1 0 1
29/788				
29/792				

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願2000-333719(P2000-333719)

(22) 出願日 平成12年10月31日 (2000. 10. 31)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 細野 浩司

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72) 発明者 中村 寛

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

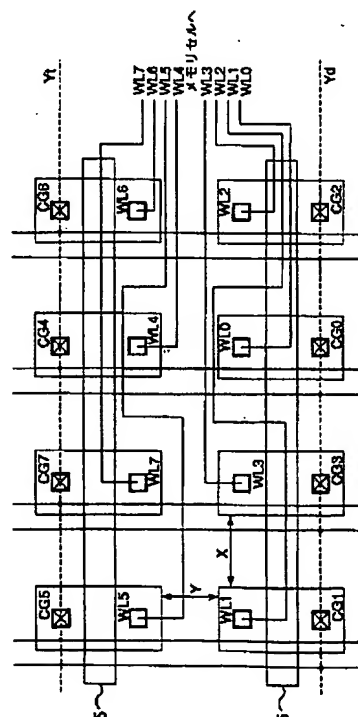
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 転送トランジスタを適切な配置にすることによって、転送トランジスタ間の距離を無駄に広げる必要がなくなり、ロウデコーダのパターン占有面積を小さくできる半導体記憶装置を提供することを目的としている。

【解決手段】 ロウデコーダ中に設けられた上下左右の転送トランジスタ3のワード線のアドレスを連続しない割付にすることによって、隣接する2本のワード線WLに対応する2つの転送トランジスタ3を、縦方向及び横方向に隣接して配置しないこと特徴としている。隣接する転送トランジスタ間に印加される電位差を小さくできるので、素子分離領域を小さくできる。よって、転送トランジスタ間の距離を無駄に広げる必要がなくなり、ロウデコーダのパターン占有面積を小さくできる。



1

【特許請求の範囲】

【請求項 1】 電気的に書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、
前記メモリセルアレイにおける複数のワード線を有するブロックを選択する選択手段と、
前記ブロック内の複数のワード線への印加電圧が入力される複数のワード線駆動信号線と、
前記ワード線駆動信号線とメモリセル内ワード線との間に接続され、前記ブロック選択手段の出力により制御される複数の転送トランジスタとを具備し、
隣接する 2 本のワード線に対応する 2 つの転送トランジスタを、縦方向及び横方向にそれぞれ離隔して配置し、これら転送トランジスタ間に別のワード線に対応する転送トランジスタを配置したことを特徴とする半導体記憶装置。

【請求項 2】 隣接して配置される転送トランジスタに接続されるワード線のアドレスが 2 以上離れていることを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 前記ブロック内の複数の転送トランジスタにおける、転送トランジスタのワード線側端子が向き合って配置される側の第 1 の素子分離領域幅は、転送トランジスタのワード線側端子とワード線駆動信号線側端子が向き合って配置される側の第 2 の素子分離領域幅よりも小さいことを特徴とする請求項 1 または 2 に記載の半導体記憶装置。

【請求項 4】 電気的に書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、
前記メモリセルアレイにおける複数のワード線を有するブロックを選択する選択手段と、
前記ブロック内の複数のワード線への印加電圧が入力される複数のワード線駆動信号線と、
ワード線駆動信号線とメモリセル内ワード線との間に接続され、前記ブロック選択手段の出力により制御される複数の転送トランジスタとを具備し、
前記ブロック内の複数の転送トランジスタにおける、転送トランジスタのワード線側端子が向き合って配置される側の第 1 の素子分離領域幅は、転送トランジスタのワード線側端子とワード線駆動信号線側端子が向き合って配置される側の第 2 の素子分離領域幅より小さいことを特徴とする半導体記憶装置。

【請求項 5】 前記ブロック内の複数の転送トランジスタのワード線側端子からそれぞれのワード線への引き出し配線は、メモリセルアレイ中のワード線と同じ並びとなるように引き出されることを特徴とする請求項 1 乃至 4 いずれか 1 つの項に記載の半導体記憶装置。

【請求項 6】 前記ブロック内の複数の転送トランジスタのワード線側端子からそれぞれのワード線への引き出し配線は、ワード線を形成する配線より 1 つ上層の金属配線であることを特徴とする請求項 1 乃至 5 いずれか 1 つの項に記載の半導体記憶装置。

2

【請求項 7】 電気的に書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、
前記メモリセルアレイのロウアドレス、あるいはロウアドレスのプリデコード信号をデコードするデコード部と、
上記デコード部から出力されるデコード信号が供給されるブースター部と、
上記ブースター部の出力信号でオン／オフ制御され、メモリセルアレイ中の選択されたブロックに選択信号を供給する転送トランジスタとを具備し、
上記ブロック内の複数の転送トランジスタのワード線側端子からそれぞれのワード線への配線を、ワード線を形成する配線より 1 つ上層の金属配線のみで引き出すことを特徴とする半導体記憶装置。

【請求項 8】 前記メモリセルアレイは、複数のブロックに分割され、前記ブロックの各々は、各々のゲートが前記転送トランジスタの電流通路の一端に接続された第 1、第 2 の選択トランジスタと、前記第 1、第 2 の選択トランジスタ間に電流通路が直列接続され、ゲートが前記転送トランジスタの電流通路の一端にそれぞれ接続されたメモリセルとを備えることを特徴とする請求項 7 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、特にロウデコード内の転送トランジスタの配置に係り、NAND型フラッシュメモリ等の不揮発性メモリに使用されるものである。

【0002】

【従来の技術】図 7 は、従来の半導体記憶装置について説明するためのもので、NAND型フラッシュメモリにおけるロウデコードとメモリセルアレイの一部を抽出して示している。ロウアドレス、あるいはロウアドレスのプリデコード信号 A0、A1、…、Am は、デコード部 1 に供給されてデコードされ、このデコード部 1 によりメモリセルアレイ中の 1 つの NAND セルブロック 4 が選択される。上記デコード部 1 から出力されるデコード信号は、ブースター部 2 に供給される。このブースター部 2 は、選択されたブロック 4 内のみ、ワード線のアドレスに対応したワード線駆動信号 CG0～CGi 及び選択ゲート駆動信号 SG1、SG2 を供給するために、転送トランジスタ 3 のゲート 5 を制御している。ブロック 4 が選択状態の時、ブースター部 2 はデコード部 1 から出力されるデコード信号により、転送トランジスタ 3 のゲート 5 に所定の電圧を印加してオン状態にし、ブロック 4 が非選択状態の時は、転送トランジスタ 3 のゲート 5 を接地レベルとしてオフ状態にする。

【0003】NAND型メモリにおける 1 つの NAND セル 4 a は、ゲートが選択ゲート線 SGS、SGD に接続された 2 つの選択トランジスタ S1、S2 と、これら

選択トランジスタ $S1$ 、 $S2$ 間に電流通路が直列接続され、ゲートがそれぞれワード線 $WL0 \sim WL_i$ に接続されたメモリセル $MC0 \sim MC_i$ とから構成されている。上記選択トランジスタ $S1$ の電流通路の一端は、ソース線 $CELSRC$ に接続され、上記選択トランジスタ $S2$ の電流通路の一端は、ビット線 $BL0 \sim BL_j$ に接続される。

【0004】そして、ロウアドレス、あるいはロウアドレスのプリデコード信号 $A0$ 、 $A1$ 、 \dots 、 A_m によりNANDセルブロック4が選択され、更にNANDセル4

10

a内のワード線のアドレスが選択されると、個々のメモリセル $MC0 \sim MC_i$ にアクセスすることができる。
【0005】図8は、上記NAND型フラッシュメモリの書き込み時における各信号の波形図を示している。また、図9(a)、(b)はそれぞれ、上記NANDセル4aの断面構成と、書き込み時のNANDセル4a内のバイアス条件を示しており、(a)図は“0”の書き込み(Program)時、(b)図は“1”の書き込み時である。図9(a)、(b)では、メモリセル12が選択セルとなっており、ワード線 $WL2$ が選択ワード線(WL)となる。その他のメモリセルは全て非選択セルとなるが、図8におけるワード線 $WL1$ と $WL3$ は隣接非選択ワード線(WL)、その他が非選択ワード線(WL)となる。また、この図8に示す書き込み方式においては、書き込みを行う前は、NAND内セル4aは消去状態(メモリセルのしきい値電圧が負)となっている。

20

【0006】メモリセルにデータ書き込む場合には、まず、ビット線 BL に書き込みデータを転送する。NAND型フラッシュメモリでは、1本のワード線で選択されるメモリセルに対し、一括に書き込み動作を行うことにより、書き込み速度を高速化しており、同時に書き込む単位、例えば512バイト分のデータラッチを有している。これらのデータラッチから、“1”書き込みセルには、ビット線に V_{dd} が転送され、“0”書き込みのセルにはビット線に $0V$ が転送される。また、書き込みを行うワード線を有する選択ブロックにおいては、ロウデコード用駆動電圧 $VRDEC$ が印加されると、転送トランジスタ3のゲート5にもこのロウデコード用駆動電圧 $VRDEC$ 以上の電圧、例えば2.2Vが印加される。

30

【0007】これにより、選択NANDセルにおいては、選択トランジスタ15のゲートに V_{dd} が印加され、NANDセル4a内のチャネルがビット線 BL からプリチャージされる。

【0008】次に、非選択ワード線に1.0V程度の V_{PASS} 電位を印加する。

【0009】図9(a)に示すように、“0”書き込みでは、選択メモリセル12から選択トランジスタ15までのメモリセル13、14、 \dots は、しきい値電圧が負であるため導通しており、チャネル電位は $0V$ に保持される。一方、図9(b)に示すように、“1”書き込みで

50

は、選択トランジスタ15は、ビット線 BL が V_{dd} 、ゲートが V_{dd} 、NANDセル側のソースが「 $V_{dd} - V_t$ 」に充電されてカットオフしているため、NANDセル内のチャネル電位は、非選択ワード線の電位の上昇に伴い、容量カップリングにより昇圧される。従って、チャネル電位 V_{ch1} 及び V_{ch3} は、非選択ワード線の電位 V_{PASS} に応じた電位に持ち上げられる。この際、チャネル電位 V_{ch2} は、ワード線 $WL1$ 、 $WL2$ 、 $WL3$ が $0V$ であるため、それらによる電位の変化はないが、チャネル電位 V_{ch1} と V_{ch3} の上昇に伴い、メモリセル11と13のしきい値落ち電圧程度に充電されている。

【0010】次に、選択ワード線 $WL2$ に、2.0V程度の書き込み電圧 V_{PGM} を印加する。

【0011】図9(a)の“0”書き込みセルにおいては、メモリセル12のチャネルとビット線 BL が $0V$ で導通した状態を保持するため、ワード線 $WL2$ とチャネル間に2.0Vの電位差がつき、浮遊ゲートにチャネルから電子が注入されて、しきい値電圧が高くなり書き込みが行われる。図9(b)の“1”書き込みセルにおいては、メモリセル12のチャネル電位がメモリセル11と13の負のしきい値落ちの電位に充電されたフローティングの状態から、ワード線 $WL2$ の昇圧により、より高い電位のフローティング状態に変化する。ワード線 $WL2$ の電位変化に伴って、メモリセル12のチャネル電位も高くなるため、チャネルから浮遊ゲートへの電子の注入はほとんど行われず、書き込み前の状態を保持する。

【0012】このようにして、“0”書き込みと“1”書き込み(非書き込み)が行われる。よって、ロウデコードは、これらのワード線電圧を選択的に転送する必要がある。

【0013】ここで、従来のロウデコードにおける転送トランジスタ3部のレイアウトイメージを図10に示す。図面及び説明を簡略化するため、ここでは、転送トランジスタ3が8個の場合について示している。

【0014】 Y_t 、 Y_d 間の距離は、NANDセル4aのサイズによって決まるサイズであり、図10では転送トランジスタ3を2段階みにして配置している。各転送トランジスタ3は、p型基板上に形成されたNMOSTランジスタとなっており、ソース・ドレイン領域は書き込み電圧及び消去電圧の印加に対して十分な耐圧を持つ構造になっている。

【0015】上記図10に示したような転送トランジスタ3の配置において、前述の書き込み方式でのバイアス状態を図11に示す。図11においては、ワード線 $WL3$ が選択ワード線となっている。隣接非選択ワード線は、ワード線 $WL2$ と $WL4$ である。

【0016】この時、ワード線駆動信号 $CG2$ と $CG3$ が供給される転送トランジスタ間との距離 $X1$ は、ソース・ドレイン領域間に2.0V、ゲートに2.0V以上の電

圧が印加されたフィールドトランジスタにおいて、所定のリーク電流以下の条件を満たす大きさとしなければならない。また、ワード線駆動信号CG3とCG4が供給される転送トランジスタ間の距離Y1は、p型基板上の素子分離領域を挟んだ、n型拡散層領域間に20Vが印加されたときに、所定のリーク電流以下の条件を満たす大きさとしなければならない。上記距離X1については、転送トランジスタ3のゲート5がp型素子分離領域上でフィールドトランジスタのゲートとなっているが、ゲート5を各転送トランジスタ3間で分離して描いても良く、その場合は、Y1の条件に近づく。

【0017】この場合、距離YBが大きく、距離Y1を充分離れた上で図11のような配置ができる場合は良いが、距離X1が大きい場合には、ロウデコーダの横幅が大きくなる。また、メモリセルの微細化により、距離YBが著しく小さくなると、図11のような2段階では描けなくなり、転送トランジスタ3を横並びにする数が増えて、ロウデコーダの横幅が顕著に大きくなる可能性がある。

【0018】

【発明が解決しようとする課題】上記のように従来の半導体記憶装置では、メモリセルの制御ゲートに書き込み電圧や消去電圧を印加するロウデコーダ内の転送トランジスタには、書き込み、消去電圧に対して十分な耐圧を有するサイズの大きなものが必要となる。また、大きな素子分離領域も必要になり、この結果ロウデコーダのパターン占有面積が大きくなるという問題があった。

【0019】この発明は上記のような事情に鑑みてなされたもので、その目的とするところは、転送トランジスタを適切な配置にすることによって、転送トランジスタ間の距離を無駄に広げる必要がなくなり、ロウデコーダのパターン占有面積を小さくできる半導体記憶装置を提供することにある。

【0020】

【課題を解決するための手段】この発明の請求項1の半導体記憶装置は、電気的に書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、前記メモリセルアレイにおける複数のワード線を有するブロックを選択する選択手段と、前記ブロック内の複数のワード線への印加電圧が入力される複数のワード線駆動信号線と、前記ワード線駆動信号線とメモリセル内ワード線との間に接続され、前記ブロック選択手段の出力により制御される複数の転送トランジスタとを具備し、隣接する2本のワード線に対応する2つの転送トランジスタを、縦方向及び横方向にそれぞれ離隔して配置し、これら転送トランジスタ間に別のワード線に対応する転送トランジスタを配置したことを特徴としている。

【0021】請求項2に記載したように、請求項1の半導体記憶装置において、隣接して配置される転送トランジスタに接続されるワード線のアドレスが2以上離れて

いることを特徴とする。

【0022】請求項3に記載したように、請求項1または2に記載の半導体記憶装置において、前記ブロック内の複数の転送トランジスタにおける、転送トランジスタのワード線側端子が向き合って配置される側の第1の素子分離領域幅は、転送トランジスタのワード線側端子とワード線駆動信号線側端子が向き合って配置される側の第2の素子分離領域幅よりも小さいことを特徴とする。

【0023】また、この発明の請求項4の半導体記憶装置は、電気的に書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、前記メモリセルアレイにおける複数のワード線を有するブロックを選択する選択手段と、前記ブロック内の複数のワード線への印加電圧が入力される複数のワード線駆動信号線と、ワード線駆動信号線とメモリセル内ワード線との間に接続され、前記ブロック選択手段の出力により制御される複数の転送トランジスタとを具備し、前記ブロック内の複数の転送トランジスタにおける、転送トランジスタのワード線側端子が向き合って配置される側の第1の素子分離領域幅は、転送トランジスタのワード線側端子とワード線駆動信号線側端子が向き合って配置される側の第2の素子分離領域幅よりも小さいことを特徴としている。

【0024】請求項5に記載したように、請求項1乃至4いずれか1つの項に記載の半導体記憶装置において、前記ブロック内の複数の転送トランジスタのワード線側端子からそれぞれのワード線への引き出し配線は、メモリセルアレイ中のワード線と同じ並びとなるように引き出されることを特徴とする。

【0025】請求項6に記載したように、請求項1乃至5いずれか1つの項に記載の半導体記憶装置において、前記ブロック内の複数の転送トランジスタのワード線側端子からそれぞれのワード線への引き出し配線は、ワード線を形成する配線より1つ上層の金属配線であることを特徴とする。

【0026】更に、この発明の請求項7の半導体記憶装置は、電気的に書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、前記メモリセルアレイのロウアドレス、あるいはロウアドレスのプリデコード信号をデコードするデコード部と、上記デコード部から出力されるデコード信号が供給されるブースター部と、上記ブースター部の出力信号でオン/オフ制御され、メモリセルアレイ中の選択されたブロックに選択信号を供給する転送トランジスタとを具備し、上記ブロック内の複数の転送トランジスタのワード線側端子からそれぞれのワード線への配線を、ワード線を形成する配線より1つ上層の金属配線のみで引き出すことを特徴としている。

【0027】請求項8に記載したように、請求項7の半導体記憶装置において、前記メモリセルアレイは、複数のブロックに分割され、前記ブロックの各々は、各々のゲートが前記転送トランジスタの電流通路の一端に接続

された第1、第2の選択トランジスタと、前記第1、第2の選択トランジスタ間に電流通路が直列接続され、ゲートが前記転送トランジスタの電流通路の一端にそれぞれ接続されたメモリセルとを備えることを特徴とする。

【0028】上記請求項1のような構成によれば、ロウデコーダの同一ブロック内の転送トランジスタ間に印加される電位差を小さくすることができ、素子分離領域を小さくすることができる。この結果、ロウデコーダのパターン占有面積を小さくできる。

【0029】請求項2に示すように、同一ブロック内の転送トランジスタ間に印加される電位差を小さくするには、隣接して配置される2つの転送トランジスタのワード線のアドレスが2個以上離れていれば良い。

【0030】請求項3に示すように、転送トランジスタ間に印加される電位差が小さいところは素子分離領域を小さくし、電位差が大きいところは素子分離領域を大きくすることにより、無駄に素子分離領域を大きくすることなく、最適なロウデコーダのサイズにすることができる。

【0031】また、請求項4のような構成によれば、ロウデコーダの同一ブロック内の転送トランジスタが3段階以上の配置となった場合に、転送トランジスタ間に印加される電位差が小さいところは素子分離領域を小さくし、電位差が大きいところは素子分離領域を大きくすることにより、無駄に素子分離領域を大きくすることなく、最適なロウデコーダのサイズにすることができる。しかも、転送トランジスタのワード線側端子とワード線駆動信号端子が向き合う素子分離領域において大きな電位差が生ずる場合があり、この素子分離領域を大きくすることは避けられないが、それ以外の部分においては、転送トランジスタの素子分離領域に印加される電位差を小さくするようにアドレスを割り付けることによって、最適なロウデコーダのサイズにできる。

【0032】請求項5に示すように、引き出し配線の並びと、メモリセルアレイ中のワード線の並びを同じにすることにより、ルールが最も厳しいワード線と引き出し配線の接続を容易にすることができる。

【0033】請求項6に示すように、引き出し配線を、ワード線を形成する配線より1つ上層の金属配線のみでレイアウトすることにより、金属配線のつなぎ替えをなくし、ワード線への不要なプロセスダメージを軽減することができる。

【0034】請求項7に示すような構成によれば、転送トランジスタのワード線側端子から、ワード線に至るまでの引き出し配線を、ワード線を形成する配線より1つ上層の金属配線のみでレイアウトするので、金属配線のつなぎ替えをなくすことができ、ワード線、すなわち不揮発性メモリの制御ゲートへの不要なプロセスダメージを軽減することができる。

【0035】請求項8に示すように、メモリセルアレイ

としては、第1、第2の選択トランジスタと、前記第1、第2の選択トランジスタ間に電流通路が直列接続され、ゲートが前記転送トランジスタの電流通路の一端にそれぞれ接続されたメモリセルとを備える構造が適用できる。

【0036】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。

【第1の実施の形態】図1は、この発明の第1の実施の形態に係る半導体記憶装置について説明するためのもので、本実施の形態における転送トランジスタの配置を示すパターン平面図である。図1では、図10に示した従来の配置例に対して、転送トランジスタ3のワード線のアドレスに対する割付を変更しており、上下左右の転送トランジスタ3におけるワード線のアドレスを連続しない割付にすることによって、図2に示すように20Vの大きな電位差がかかる場所をなくしている。

【0037】すなわち、図2の転送トランジスタの下段の並びを、CG1(WL1)、CG3(WL3)、CG0(WL0)、CG2(WL2)とすることで、X方向の転送トランジスタ間で、どのワード線が選択された場合にも、10Vの電位差で済むようにしている。また、上段の並びをCG5(WL5)、CG7(WL7)、CG4(WL4)、CG6(WL6)とすることにより、同様にそれらのX方向の転送トランジスタ間の電位差が10Vに抑えられるとともに、Y方向のトランジスタ間においても、Y2、Y3部位に示すように10Vの電位差で抑えるようにしている。

【0038】従って、図8及び図9(a)、(b)に示したような書き込み方式を行う場合において、ロウデコーダにおける転送トランジスタ周りのサイズ、例えば素子分離領域の幅を10V以上の耐圧を持つように設計すれば良く、従来に比して狭くすることができる。

【0039】なお、転送トランジスタ3のワード線のアドレスの割付は、図1及び図2は一例であり、上下、左右の転送トランジスタ3のアドレスが連続しなければ、異なる割り付け方でも構わない。

【0040】特に、実際のレイアウトにおいては、各転送トランジスタ3のワード線側端子からワード線に引き出す配線のルールにより、図1のような割り付けができない場合があるので、配線の通し方を考えてアドレス割り付けを適宜最適化することになる。

【0041】図1は、転送トランジスタ3の各ワード線側端子から、タングステン配線により、メモリセル側へ配線が引き出されるパターンをイメージしたものである。図1に示すように、ワード線のアドレスと同一の並びになるようにタングステン配線で引き出された先でメモリセルアレイ中のワード線を形成するポリシリコン配線あるいはポリサイド配線に接続される。メモリセルアレイ中のワード線ピッチは、最もルールが微細化されて

いるため、転送ゲートからの引き出し配線とワード線の配線との接続を容易にするためには、並びを一致させる必要がある。また、この引き出し配線は、メモリセルの制御ゲートであるワード線配線層（この場合、ポリシリコン配線あるいはポリサイド配線）にできるだけ近い金属配線層のみでワード線に引き出すことが望ましい。なぜなら、他の金属配線へのつながりが増え、不揮発性メモリの制御ゲートであるワード線がフローティングのまま、ビアコンタクトプロセスを経過することになり、メモリセルへ不要なプロセスダメージを与える可能性があるからである。よって、複数の転送トランジスタからワード線への引き出し配線が交差することなく、例えば図1に示すような引き出し方法で、前述のアドレス割り付けを実現するのが望ましい。

【0042】上述したように、転送トランジスタを適切な配置にすることによって、転送トランジスタ間の距離を無駄に広げる必要がなくなり、ロウデコーダのパターン占有面積を小さくできる。

【0043】【第2の実施の形態】図3は、この発明の第2の実施の形態に係る半導体記憶装置について説明するためのもので、16個のメモリセルが直列接続されたNANDセルに対する転送トランジスタの配置例を示している。図3の配置から明かなように、図1及び図2と同様にアドレスの割り付けが上下左右で連続していない。しかも、この第2の実施の形態では、上下、左右だけでなく、上下の斜め方向も含めてワード線のアドレスが連続しないアドレスの割り付けとなっている。

【0044】従って、本第2の実施の形態によれば、16個のメモリセルが直列接続されたNANDセルであっても転送トランジスタを適切な配置にでき、転送トランジスタ間の距離を無駄に広げる必要がなくなり、ロウデコーダのパターン占有面積を小さくできる。

【0045】【第3の実施の形態】図4は、この発明の第3の実施の形態に係る半導体記憶装置について説明するためのもので、1つのNANDセルに対応する転送トランジスタが3段に積まれる場合の配置例を示している。NAND型メモリセルは、前述のように直列に接続されるメモリセルと2つの選択トランジスタにより構成されており、2つの選択トランジスタが1つのメモリセルに対するオーバーヘッドとなっている。よって、セルアレイを小さくするには、選択トランジスタが含まれる割合をメモリセル8個に1個、メモリセル16個に1個と減らすことが1つの有効な手段となる。

【0046】しかし、メモリセルの直列接続数が増えた場合には、距離YBも大きくなるので、Y方向に積む転送トランジスタの数を増やして、ロウデコーダのX方向の幅を小さくすることが必要となる。この場合、図1乃至図3と異なり、転送トランジスタのCG0、CG1、CGi端子と、他の転送トランジスタのワード線側端子が向き合う部位ができる。

【0047】図1乃至図3では、上段と下段で転送トランジスタのワード線側端子が向き合い、YtとYdでは折り返しパターンとなっていた。

【0048】この場合、図5に示す非選択ブロックの消去状態において、中段のCG0、CG1～CGi端子は0V、上段のワード線側端子は20Vというバイアス状態が存在する。

【0049】なぜなら、消去時には、選択ブロックのワード線を0Vにするため、CG0、CG1～CGiには、全て0Vが印加される。非選択ブロックにおいては、転送トランジスタ3のゲート5が接地されているため、ワード線側ノードはフローティングになる。消去時のバイアス状態は、セルpウェルに20Vが印加され、選択ブロックにおいては、全ワード線が0Vになり、メモリセルの制御ゲートとセルpウェル間に20Vが印加されることにより、浮遊ゲートから電子が放出される（図6（a）参照）。

【0050】なお、図6（a）は消去時、図6（b）は書き込み時の動作を模式的に示す断面図であり、510は制御ゲート（ワード線）、511は浮遊ゲート、512はソース・ドレイン領域、513はセルpウェルである。また、図6（c）は書き込み前と書き込み後のメモリセルのしきい値分布を示している。

【0051】一方、非選択ブロックにおいては、ワード線がフローティングになるため、セルpウェルに20Vが印加されると、容量カップリングによりフローティングのワード線電位が同時に持ち上がるため、メモリセルの制御ゲートとセルpウェル間に消去に充分な電位差がつかず、消去されない。

【0052】従って、図5の非選択ブロックにおいては、中段と上段との間で、転送トランジスタ間に20V近い電位差が生ずる。このような場合には、この距離Y4は大きくする必要があるので、下段と中段の間の素子分離領域の距離Y2またはY3よりY4を大きくする。逆に距離Y4とY2またはY3の素子分離領域を個別に最適化したサイズにすることによって、転送トランジスタ領域のサイズを小さくすることができる。

【0053】以上第1乃至第3の実施の形態を用いてこの発明の説明を行ったが、この発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【発明の効果】以上説明したように、この発明によれば、転送トランジスタを適切な配置にすることによって、転送トランジスタ間の距離を無駄に広げる必要がなくなり、ロウデコーダのパターン占有面積を小さくできる半導体記憶装置が得られる。

【図面の簡単な説明】

【図 1】この発明の第 1 の実施の形態に係る半導体記憶装置について説明するためのもので、本実施の形態における転送トランジスタの配置を示すパターン平面図。

【図 2】図 1 に示した転送トランジスタの配置における転送トランジスタ間の電位差について説明するためのパターン平面図。

【図 3】この発明の第 2 の実施の形態に係る半導体記憶装置について説明するためのもので、16 個のメモリセルが直列接続された NAND セルに対する転送トランジスタの配置例を示すパターン平面図。

【図 4】この発明の第 3 の実施の形態に係る半導体記憶装置について説明するためのもので、1 つの NAND セルに対応する転送トランジスタが 3 段に積まれる場合の例を示すパターン平面図。

【図 5】図 4 に示した転送トランジスタの配置における非選択ブロックの消去動作時の状態において、転送トランジスタ間の電位差について説明するためのパターン平面図。

【図 6】消去時と書き込み時の動作を模式的に示すための図。

【図 7】従来の半導体記憶装置について説明するためのもので、NAND 型フラッシュメモリにおけるロウデコ

ードとメモリセルアレイの一部を抽出して示す回路図。

【図 8】NAND 型フラッシュメモリの書き込み時における各信号の波形図。

【図 9】NAND セルの断面構成と、書き込み時の NAND セル内のバイアス条件を示す図。

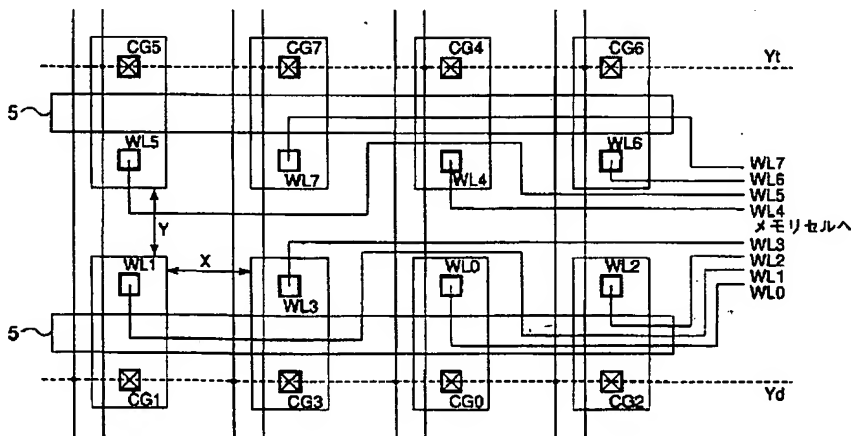
【図 10】転送トランジスタを 2 段積みにして配置した場合のパターン平面図。

【図 11】図 10 に示した書き込み方式でのバイアス状態を示すパターン平面図。

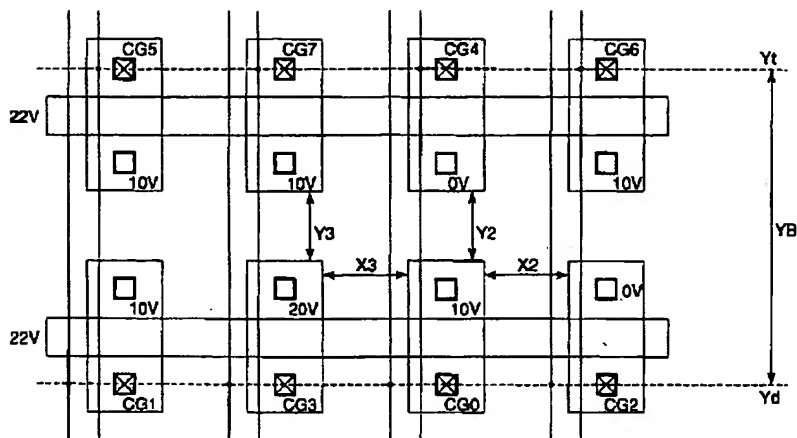
【符号の説明】

- 1…デコード部、
- 2…ブースター部、
- 3…転送トランジスタ、
- 4…NAND セルブロック、
- 4a…NAND セル、
- 5…転送トランジスタのゲート、
- A0, A1, …, Am…ロウアドレス、あるいはロウアドレスのプリデコード信号、
- S1, S2, 16, 15…選択トランジスタ、
- SGS, SGD…選択ゲート線、
- SG1, SG2…選択ゲート駆動信号、
- CG0~CGi…ワード線駆動信号、
- WL0~WLi…ワード線、
- BL0~BLj…ビット線、
- CELSRC…ソース線、
- MC0~MCI, 10~15…メモリセル、
- VRDEC…ロウデコーダ用駆動電圧。

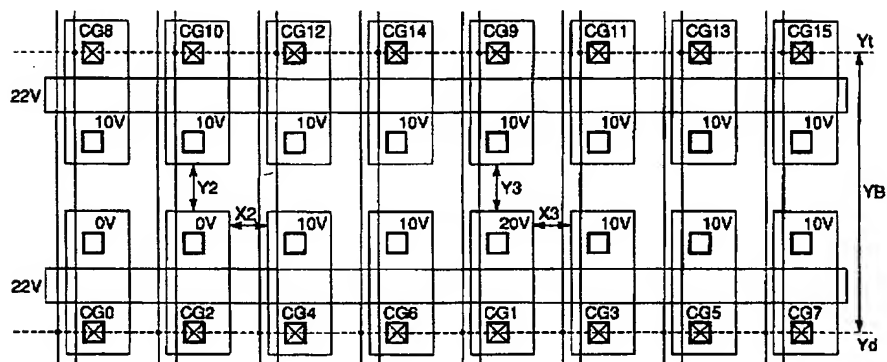
【図 1】



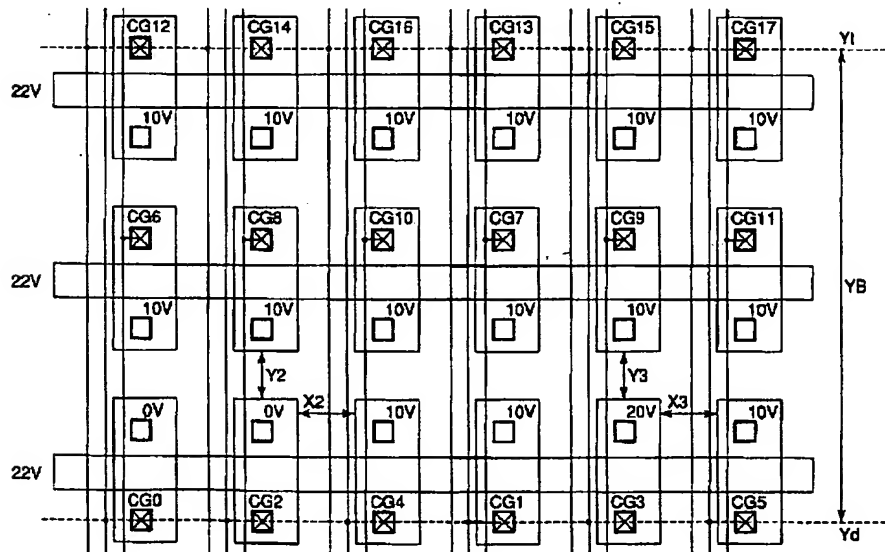
【図 2】



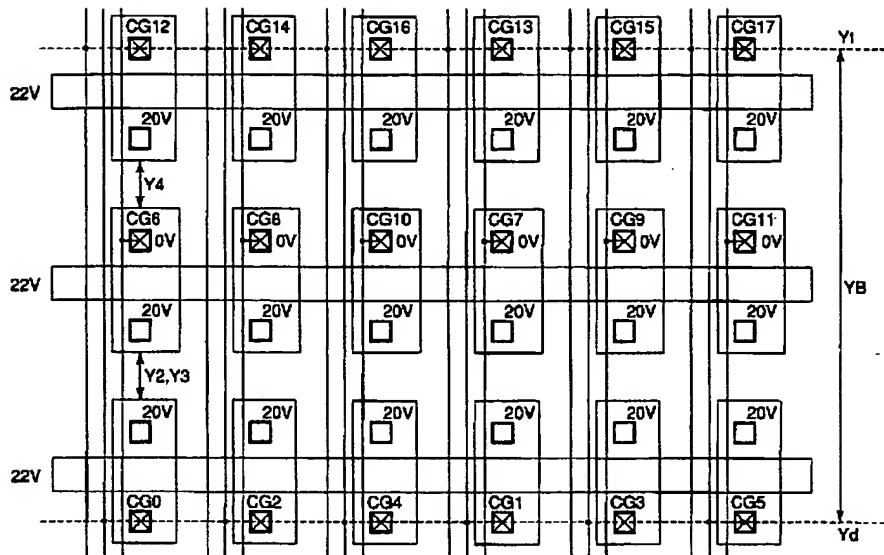
【図 3】



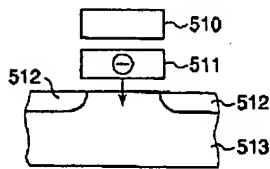
【図 4】



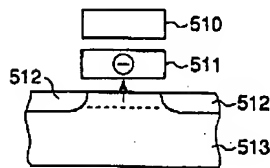
【図5】



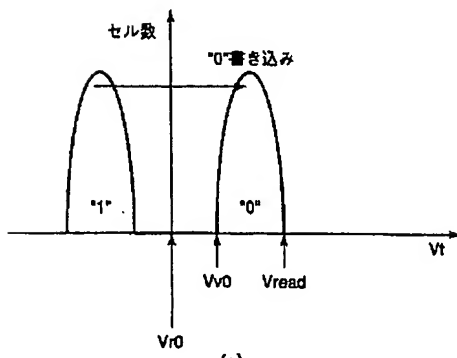
【図6】



(a) 消去時

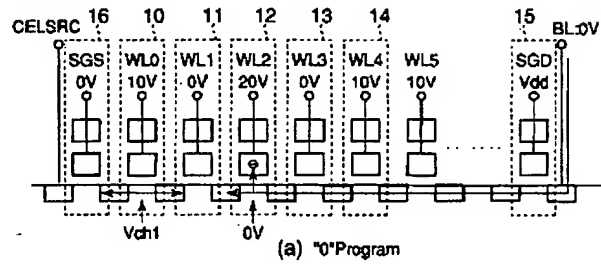


(b) 書き込み時

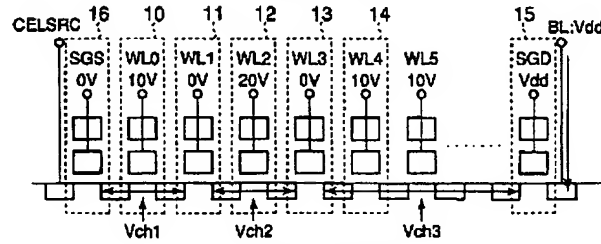


(c)

【図9】

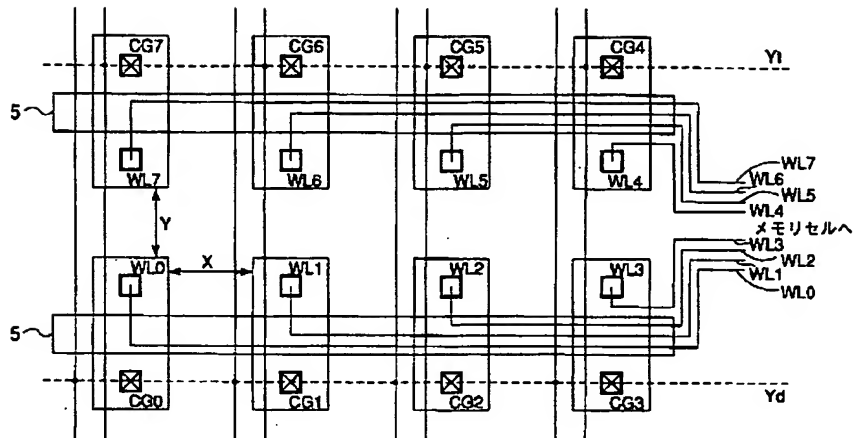


(a) "0" Program

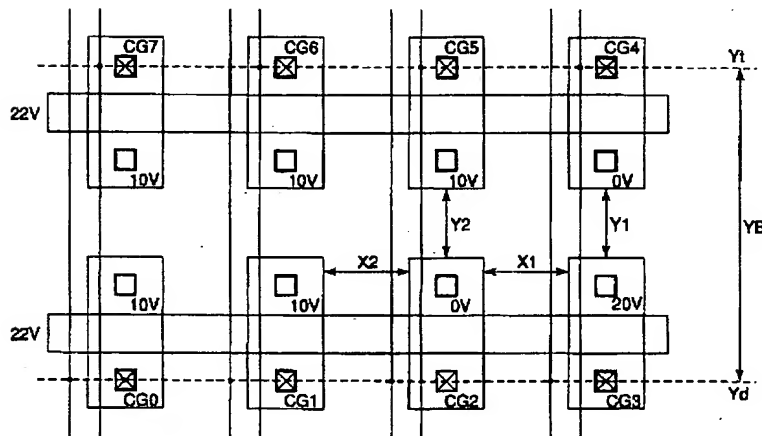


(b) "1" Program

【図10】



【図11】



フロントページの続き

(72)発明者 今宮 賢一

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

(72)発明者 田中 智晴

神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝マイクロエレクトロニクスセン
ター内

Fターム(参考) 5F001 AA01 AB08 AC02 AD53 AD60

AE02

5F083 EP02 EP23 EP32 EP76 ER03

ER09 ER14 ER19 ER22 GA09

LA05

5F101 BA01 BB05 BC02 BD34 BD35

BE05